

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-106691

(43)Date of publication of application : 22.04.1997

(51)Int.Cl.

G11C 17/12  
H01L 27/10

(21)Application number : 07-263003

(71)Applicant : NEC CORP

(22)Date of filing : 11.10.1995

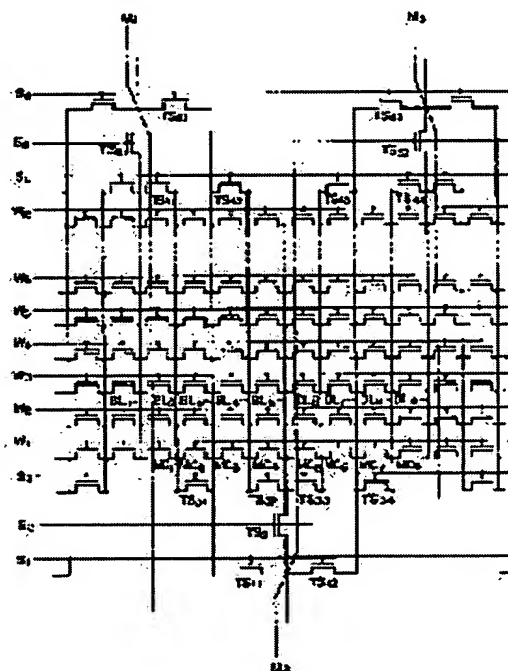
(72)Inventor : NISHISAKA SADAICHIROU  
YAMAZAKI KAZUYUKI

## (54) SEMICONDUCTOR MEMORY DEVICE

## (57)Abstract:

PROBLEM TO BE SOLVED: To enlarge the pitch of metal wirings (metal-bit line and virtual metal ground line) by suppressing the number of connecting transistors connected to memory cells in series at the time of reading.

SOLUTION: Memory cells MC1, MC2,... having a planar structure, wherein expanded-layer wirings BL1, BL2,... are made to be sources and drains and word lines W1, W2,... are made to be gate wirings, are arranged. A metal bit line M2 is connected to the expanded-layer wirings BL2, BL3,...BL8 through connecting transistors TS11, TS12, TS21, TS31, TS32, TS33 and TS34. A virtual metal ground line M1 is connected to the expanded-layer wiring BL1, BL2,...BL4 through the connecting transistors TS41, TS42, TS51 and TS61. A virtual metal ground line M3 is connected to the expanded-layer wiring BL6, BL7,...BL9 through the connecting transistors TS43, TS44, TS52 and TS62.



## LEGAL STATUS

[Date of request for examination] 11.10.1995

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other

than the examiner's decision of rejection or  
application converted registration]

[Date of final disposal for application]

[Patent number] 2751892

[Date of registration] 27.02.1998

[Number of appeal against examiner's  
decision of rejection]

[Date of requesting appeal against  
examiner's decision of rejection]

[Date of extinction of right] 27.02.2003

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-106691

(43) 公開日 平成9年(1997)4月22日

(51) IntCl. <sup>8</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 1 1 C 17/12			G 1 1 C 17/00	3 0 4 A
H 0 1 L 27/10	4 3 1		H 0 1 L 27/10	4 3 1

審査請求 有 請求項の数 3 O L (全 10 頁)

(21) 出願番号 特願平7-263003

(22) 出願日 平成7年(1995)10月11日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 西坂 禎一郎

東京都港区芝五丁目7番1号 日本電気株式会社内

(72) 発明者 山崎 和之

東京都港区芝五丁目7番1号 日本電気株式会社内

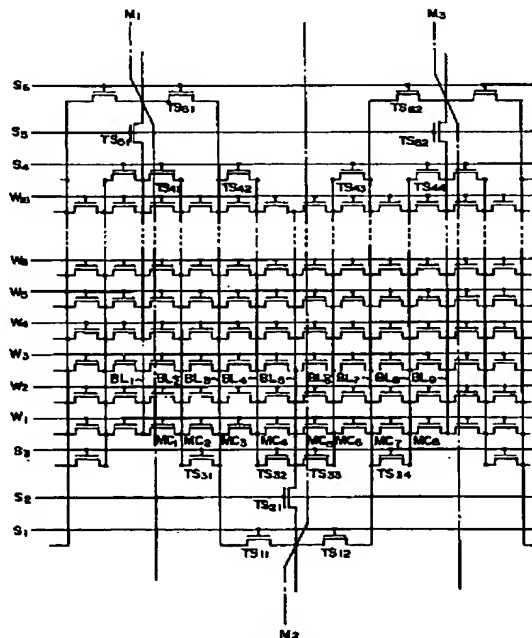
(74) 代理人 弁理士 京本 直樹 (外2名)

(54) 【発明の名称】 半導体記憶装置

## (57) 【要約】

【目的】 読み出しの際、メモリセルに直列に接続される接続トランジスタの数を抑制しながら、メタル配線（メタルビット線や仮想メタルグランド線）のピッチを大きくする。

【構成】 拡散層配線  $BL_1, BL_2, \dots$  をソース・ドレインとし、またワード線  $W_1, W_2, \dots$  をゲート配線とするプレーナ構造のメモリセル  $MC_1, MC_2, \dots$  が配列される。メタルビット線  $M_1$  は接続トランジスタ  $TS_{11}, TS_{12}, TS_{13}, TS_{14}, TS_{21}, TS_{22}, TS_{23}, TS_{24}$  を介して拡散層配線  $BL_1, BL_2, \dots, BL_L$  に接続される。仮想メタルグランド線  $M_2$  は接続トランジスタ  $TS_{31}, TS_{32}, TS_{33}, TS_{34}$  を介して拡散層配線  $BL_1, BL_2, \dots, BL_L$  に接続される。また仮想メタルグランド線  $M_3$  は接続トランジスタ  $TS_{41}, TS_{42}, TS_{43}, TS_{44}$  を介して拡散層配線  $BL_1, BL_2, \dots, BL_L$  に接続される。



## 【特許請求の範囲】

【請求項1】 一導電型半導体基板上に、互いに平行に配置された第1から第9の拡散層配線群と、前記拡散層配線群上に直交して配置された複数本のゲート配線と、隣り合う前記拡散層配線をソース・ドレインとし、さらに隣り合う前記拡散層配線間でかつ、前記ゲート配線直下をチャンネルとするメモリセルが前記拡散層配線方向に配置されてなるメモリセル列と、前記拡散層配線群上に配列された8列の前記メモリセル列を単位としてなるメモリセル列群があつて、前記第1の拡散層配線の一端は第1の接続トランジスタを介して第1の仮想メタルグランド線と接続されかつ、第2の接続トランジスタを介して前記第2の拡散層配線の一端と接続され、前記第3の拡散層配線の一端は第3の接続トランジスタを介して前記第1の仮想メタルグランド線と接続され、かつ、第4の接続トランジスタを介して前記第4の拡散層配線の一端と接続され、前記第3の拡散層配線の他端は第5の接続トランジスタを介してメタルビット線に接続されかつ、第6の接続トランジスタを介して前記第2の拡散層配線の他端に接続され、前記第5の拡散層配線の一端は第7の接続トランジスタを介して前記メタルビット線に接続されかつ、第8の接続トランジスタを介して前記第4の拡散層配線の他端と接続されかつ、第9の接続トランジスタを介して前記第6の拡散層配線の一端に接続され、前記第7の拡散層配線の一端は第10の接続トランジスタを介して前記メタルビット線に接続されかつ、第11の接続トランジスタを介して前記第8の拡散層配線の一端に接続され、前記第7の拡散層配線の他端は、第12の接続トランジスタを介して第2の仮想メタルグランド線に接続されかつ、第13の接続トランジスタを介して前記第6の拡散層配線の他端に接続され、前記第9の拡散層配線の一端は第14の接続トランジスタを介して前記第2の仮想メタルグランド線に接続されかつ、第15の接続トランジスタを介して前記第8の拡散層配線の他端に接続され、前記第5及び第10の接続トランジスタのゲート配線となる第1のビットライン選択線と、前記第7の接続トランジスタのゲート配線となる第2のビットライン選択線と、前記第6、第8、第9及び第11の接続トランジスタのゲート配線となる第3のビットライン選択線と、前記第3及び第12の接続トランジスタのゲート配線となる第1のグランドライン選択線と、前記第1及び第14の接続トランジスタのゲート配線となる第2のグランドライン選択線と、前記第2、第4、第13及び第15の接続トランジスタのゲート配線となる第3のグランドライン選択線とを具備してなることを特徴とする半導体記憶装置。

【請求項2】 一導電型半導体基板上に、互いに平行に配置された第1から第9の拡散層配線群と、前記拡散層配線群上に直交して配置された複数本のゲート配線と、隣り合う前記拡散層配線をソース・ドレインとしさら

に、隣り合う前記拡散層配線間でかつ、前記ゲート配線直下をチャンネルとするメモリセルが前記拡散層配線方向に配置されてなるメモリセル列と、前記拡散層配線群上に配列された8列の前記メモリセル列を単位としてなるメモリセル列群があつて、前記第1の拡散層配線の一端は第1の接続トランジスタを介して第1の仮想メタルグランド線と接続されかつ、第2の接続トランジスタを介して前記第2の拡散層配線の一端と接続され、前記第3の拡散層配線の一端は第3の接続トランジスタ及び前記第1の接続トランジスタを介して前記第1の仮想メタルグランド線に接続されかつ、第4の接続トランジスタを介して前記第4の拡散層配線の一端と接続され、前記第3の拡散層配線の他端は第5及び第6の接続トランジスタを介してメタルビット線に接続されかつ、第7の接続トランジスタを介して前記第2の拡散層配線の他端と接続され、前記第5の拡散層配線の一端は、前記第5の接続トランジスタを介して前記メタルビット線に接続されかつ、第8の接続トランジスタを介して前記第4の拡散層配線の他端と接続されかつ、第9の接続トランジスタを介して第6の拡散層配線の一端と接続され、前記第7の拡散層配線の一端は第10の接続トランジスタ及び前記第5の接続トランジスタを介して前記メタルビット線に接続されかつ、第11の接続トランジスタを介して前記第8の拡散層配線の一端に接続され、前記第7の拡散層配線の他端は第12及び第13の接続トランジスタを介して第2の仮想メタルグランド線に接続されかつ、第14の接続トランジスタを介して前記第6の拡散層配線の他端と接続され、前記第9の拡散層配線の一端は前記第12の接続トランジスタを介して前記第2の仮想メタルグランド線に接続されかつ、第15の接続トランジスタを介して前記第8の拡散層配線の他端に接続され、前記第5の接続トランジスタのゲート配線となる第1のビットライン選択線と、前記第6及び第10の接続トランジスタのゲート配線となる第2のビットライン選択線と、前記第7、第8、第9及び第11の接続トランジスタのゲート配線となる第3のビットライン選択線と、前記第1及び第12の接続トランジスタのゲート配線となる第1のグランドライン選択線と、前記第3及び第13の接続トランジスタのゲート配線となる第2のグランドライン選択線と、前記第2、第4、第14及び第15の接続トランジスタのゲート配線となる第3のグランドライン選択線とを具備してなることを特徴とする半導体記憶装置。

【請求項3】 一導電型半導体基板上に、互いに平行に配置された第1から第9の拡散層配線群と、前記拡散層配線群上に直交して配置された複数本のゲート配線と、隣り合う前記拡散層配線をソース・ドレインとしさらに、隣り合う前記拡散層配線間でかつ、前記ゲート配線直下をチャンネルとするメモリセルが前記拡散層配線方向に配置されてなるメモリセル列と、前記拡散層配線群上

に配列された8列の前記メモリセル列を単位としてなるメモリセル列群があって、前記第1の拡散層配線の一端は第1の接続トランジスタを介して第1の仮想メタルグランド線と接続されかつ、第2の接続トランジスタを介して前記第2の拡散層配線の一端に接続され、前記第3の拡散層配線の一端は第3の接続トランジスタを介してメタルビット線に接続され、かつ、第4の接続トランジスタを介して前記第2の拡散層配線他端に接続され、かつ、第5の接続トランジスタを介して前記第4の拡散層配線の一端に接続され、前記第5の拡散層配線の一端は第6の接続トランジスタを介して前記第1の仮想メタルグランド線に接続されかつ、第7の接続トランジスタを介して前記第4の拡散層配線他端に接続されかつ、第8の接続トランジスタを介して前記第6の拡散層配線に接続され、前記第7の拡散層配線の一端は、第9の接続トランジスタを介して前記メタルビット線に接続され、かつ、第10の接続トランジスタを介して前記第6の拡散層配線他端に接続されかつ、第11の接続トランジスタを介して前記第8の拡散層配線の一端に接続され、前記第9の拡散層配線の一端は第12の接続トランジスタを介して第2の仮想メタルグランド線に接続されかつ、第13の接続トランジスタを介して前記第8の拡散層配線他端に接続され、前記第9の接続トランジスタのゲート配線となる第1のビットライン選択線と、前記第3の接続トランジスタのゲート配線となる第2のビットライン選択線と、前記第4、第5、第10及び第11の接続トランジスタのゲート配線となる第3のビットライン選択線と、前記第1及び第12の接続トランジスタのゲート配線となる第1のグラウンドライン選択線と、前記第6の接続トランジスタのゲート配線となる第2のグラウンドライン選択線と、前記第2、第7、第8及び第13の接続トランジスタのゲート配線となる第3のグラウンドライン選択線とを具備することを特徴とする半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体記憶装置に関し、特に読み出し専用半導体記憶装置に関する。

【0002】

【従来の技術】従来から広く用いられている読み出し専用半導体記憶装置（以下ROMと称する）の等価回路を図4に示す。

【0003】シリコン基板上に互いに平行に複数の拡散層配線 $BB_1 \sim BB_i$ が形成され、ゲート絶縁膜を介してゲート配線が配置される。ゲート配線はワード線 $WL_i$  ( $i=1, 2, \dots, 16$ )、ビットライン選択線 $BS_1, BS_i$ 、メタルビット線 $ML_i$ と拡散層配線とを断続するバンク選択線 $BS$ 、仮想メタルグランド線 $ML_1, ML_i$ と拡散層配線とを断続するグラウンド選択線 $GS$ などで構成される。

【0004】メモリセル $M_1, M_i \dots$ は、互いに隣り合う拡散層配線をソース・ドレインとし、ゲート配線下で拡散層配線間の領域がチャネルとなるプレート構造のMOSトランジスタである。メモリセル $M_1, M_i \dots$ のしきい値は、イオン注入により調整されている。

【0005】すなわちデータ1に対応するメモリセルは、そのメモリセルのゲート配線が読み出し電位に設定された場合でも、オン状態にならない高いしきい値に調整されている。一方、データ0に対応するメモリセルは、そのメモリセルのゲート配線が読み出し電位に設定された場合、オン状態になる低いしきい値に調整されている。

【0006】次に動作について説明する。例えば、メモリセル $M_1$ に書き込まれた情報を読み出す場合、バンク選択線 $BS$ とビットライン選択線 $BS_1$ の電位がハイレベルに維持されることにより、接続トランジスタ $T_{11}, T_{12}$ がオン状態になる（ $T_{11}, T_{13}, T_{14}$ も同様にオン状態になるがメモリセル $M_1$ の読み出しには直接関係しない）。また、メモリセル $M_1$ のゲート配線が読み出し電位に維持される。

【0007】さらに、ビットライン選択線 $BS_1$ の電位はロウレベル（接続トランジスタ $T_{11}, T_{13}, T_{14}$ はオフ状態）、グラウンドライン選択線 $GS$ の電位はハイレベル（接続トランジスタ $T_{11}, T_{12}$ はオン状態）に維持される。こうして、メモリセル $M_1$ は接続トランジスタ $T_{11}, T_{12}$ を介してメタルビット線 $ML_i$ と、また接続トランジスタ $T_{11}$ を介して仮想メタルグランド線 $ML_1$ と電気的に接続される。

【0008】ここで読み出し電位が印加されたメモリセル $M_1$ がオン状態にあればメタルビット線 $ML_i$ から仮想メタルグランド線 $ML_1$ に電流が流れ、データ0であることが判定できる。一方、メモリセル $M_1$ がオフ状態にあればメタルビット線 $ML_i$ から仮想メタルグランド線 $ML_1$ に電流が流れず、データ1であると判定する。

【0009】

【発明が解決しようとする課題】ROMの集積度はメモリセルの大きさで決定される。微細加工技術の進歩は目ざましく、0.3~0.4 $\mu m$ のリソグラフィは量産技術として一般化し、メモリセルを構成する拡散層配線 $B_1, BB_i \dots$ は、0.6~0.8 $\mu m$ のピッチで配線することが可能になってきた。そこで、広く用いられているROMのレイアウト（図4）では、拡散層配線2本毎に、メタル配線（ $ML_1, ML_i \dots$ ）が1本配置されるため、1.2~1.6 $\mu m$ ピッチのメタル配線技術が必要になる。これは、例えばメタルビット配線 $ML_i$ のコンタクト $C_{11}$ 付近では、非常に加工が困難で生産性を著しく損う。従って、近年のROMの集積度は、メタル配線ピッチで制約されるようになっており、従来のROMレイアウトの変更が求められている。

【0010】本発明が解決しようとする課題は、従来の

メモリセルと拡散層配線ピッチが同じであっても、メタル配線ピッチが2倍以上でまた、メモリセルと接続される接続トランジスタの個数(従来は3個)の増加を抑制し、オン状態にあるメモリセルに流れる電流が減少しないROMレイアウトの提供にある。

## 【0011】

【課題を解決するための手段】本発明の半導体記憶装置は、一導電型半導体基板上に、互いに平行に配置された第1から第9の9本の拡散層配線( $BL_1$ 、 $BL_2$ 、 $\dots$ 、 $BL_9$ )が順に配置された拡散層配線群と、前記拡散層配線群上に直交して配置された複数本のゲート配線( $W_1$ 、 $W_2$ 、 $\dots$ 、 $W_{11}$ )と、隣り合う前記ゲート配線をソース・ドレインとし、さらに隣り合う前記拡散層配線間で、かつ、前記ゲート配線直下をチャンネルとするメモリセルが前記拡散層配線方向に配置されてなるメモリセル列と、前記拡散層配線群上に配列された8列の前記メモリセル列を単位としてなるメモリセル列群があつて、前記第1の拡散層配線( $BL_1$ )の一端は第1の接続トランジスタ( $TS_{11}$ )を介して第1の仮想メタルグランド線( $M_1$ )と接続され、かつ、第2の接続トランジスタ( $TS_{12}$ )を介して前記第2の拡散層配線( $BL_2$ )の一端と接続され、前記第3の拡散層配線( $BL_3$ )の一端は第3の接続トランジスタ( $TS_{13}$ )を介して前記第1の仮想メタルグランド線( $M_1$ )と接続され、かつ、第4の接続トランジスタ( $TS_{14}$ )を介して前記第4の拡散層配線( $BL_4$ )の一端と接続され、前記第3の拡散層配線( $BL_3$ )の他端は第5の接続トランジスタ( $TS_{15}$ )を介してメタルビット線( $M_2$ )に接続され、かつ、第6の接続トランジスタ( $TS_{16}$ )を介して前記第2の拡散層配線( $BL_2$ )の他端に接続され、前記第5の拡散層配線( $BL_5$ )の一端は第7の接続トランジスタ( $TS_{17}$ )を介して前記メタルビット線( $M_2$ )に接続され、かつ、第8の接続トランジスタ( $TS_{18}$ )を介して前記第4の拡散層配線( $BL_4$ )の他端と接続され、かつ、第9の接続トランジスタ( $TS_{19}$ )を介して前記第6の拡散層配線( $BL_6$ )の一端に接続され、前記第7の拡散層配線( $BL_7$ )の一端は第10の接続トランジスタ( $TS_{20}$ )を介して前記メタルビット線( $M_2$ )に接続され、かつ、第11の接続トランジスタ( $TS_{21}$ )を介して前記第8の拡散層配線( $BL_8$ )の一端に接続され、前記第7の拡散層配線( $BL_7$ )の他端は、第12の接続トランジスタ( $TS_{22}$ )を介して第2の仮想メタルグランド線( $M_3$ )に接続され、かつ、第13の接続トランジスタ( $TS_{23}$ )を介して前記第6の拡散層配線( $BL_6$ )の他端に接続され、前記第9の拡散層配線( $BL_9$ )の一端は第14の接続トランジスタ( $TS_{24}$ )を介して前記第2の仮想メタルグランド線( $M_3$ )に接続され、かつ、第15の接続トランジスタ( $TS_{25}$ )を介して前記第8の拡散層配線( $BL_8$ )の他端に接続され、前記第5( $TS_{15}$ )及び第1

0( $TS_{10}$ )の接続トランジスタのゲート配線となる第1のビットライン選択線( $S_1$ )と、前記第7の接続トランジスタ( $TS_{17}$ )のゲート配線となる第2のビットライン選択線( $S_2$ )と、前記第6( $TS_{16}$ )、第8( $TS_{18}$ )、第9( $TS_{19}$ )及び第11( $TS_{21}$ )の接続トランジスタのゲート配線となる第3のビットライン選択線( $S_3$ )と、前記第3( $TS_{13}$ )及び第12( $TS_{22}$ )の接続トランジスタのゲート配線となる第1のグランドライン選択線( $S_4$ )と、前記第1( $TS_{11}$ )及び第14( $TS_{24}$ )の接続トランジスタのゲート配線となる第2のグランドライン選択線( $S_5$ )と、前記第2( $TS_{12}$ )、第4( $TS_{14}$ )、第13( $TS_{23}$ )及び第15( $TS_{25}$ )の接続トランジスタのゲート配線となる第3のグランドライン選択線( $S_6$ )とを具備してなる半導体記憶装置である。

【0012】また本発明の半導体記憶装置は、一導電型半導体基板上に、互いに平行に配置された第1から第9の9本の拡散層配線( $BL_1'$ 、 $BL_2'$ 、 $\dots$ 、 $BL_9'$ )が順に配置された拡散層配線群と、前記拡散層配線群上に直交して配置された複数本のゲート配線( $W_1'$ 、 $W_2'$ 、 $\dots$ 、 $W_{11}'$ )と、隣り合う前記ゲート配線をソース・ドレインとし、さらに、隣り合う前記拡散層配線間で、かつ、前記ゲート配線直下をチャンネルとするメモリセルが前記拡散層配線方向に配置されてなるメモリセル列と、前記拡散層配線群上に配列された8列の前記メモリセル列を単位としてなるメモリセル列群があつて、前記第1の拡散層配線( $BL_1'$ )の一端は第1の接続トランジスタ( $TS_{11}'$ )を介して第1の仮想メタルグランド線( $M_1'$ )と接続され、かつ、第2の接続トランジスタ( $TS_{12}'$ )を介して前記第2の拡散層配線( $BL_2'$ )の一端と接続され、前記第3の拡散層配線( $BL_3'$ )の一端は第3の接続トランジスタ( $TS_{13}'$ )及び前記第1の接続トランジスタ( $TS_{11}'$ )を介して前記第1の仮想メタルグランド線( $M_1'$ )に接続され、かつ、第4の接続トランジスタ( $TS_{14}'$ )を介して前記第4の拡散層配線( $BL_4'$ )の一端と接続され、前記第3の拡散層配線( $BL_3'$ )の他端は第5( $TS_{15}'$ )及び第6( $TS_{16}'$ )の接続トランジスタを介してメタルビット線( $M_2'$ )に接続され、かつ、第7の接続トランジスタ( $TS_{17}'$ )を介して前記第2の拡散層配線( $BL_2'$ )の他端と接続され、前記第5の拡散層配線( $BL_5'$ )の一端は、前記第5の接続トランジスタ( $TS_{15}'$ )を介して前記メタルビット線( $M_2'$ )に接続され、かつ、第8の接続トランジスタ( $TS_{18}'$ )を介して前記第4の拡散層配線( $BL_4'$ )の他端と接続され、かつ、第9の接続トランジスタ( $TS_{19}'$ )を介して第6の拡散層配線( $BL_6'$ )の一端と接続され、前記第7の拡散層配線( $BL_7'$ )の一端は第10の接続トランジスタ( $TS_{20}'$ )及び前記第5の接続トランジスタ( $TS_{15}'$ )を介して

前記メタルビット線 ( $M_1'$ ) に接続され、かつ、第1の接続トランジスタ ( $TS_{11}'$ ) を介して前記第8の拡散層配線 ( $BL_1'$ ) の一端に接続され、前記第7の拡散層配線 ( $BL_1'$ ) の他端は第12 ( $TS_{11}'$ ) 及び第13 ( $TS_{11}'$ ) の接続トランジスタを介して第2の仮想メタルグランド線 ( $M_1'$ ) に接続され、かつ、第14の接続トランジスタ ( $TS_{11}'$ ) を介して前記第6の拡散層配線 ( $BL_1'$ ) の他端と接続され、前記第9の拡散層配線 ( $BL_1'$ ) の一端は前記第12の接続トランジスタ ( $TS_{11}'$ ) を介して前記第2の仮想メタルグランド線 ( $M_1'$ ) に接続され、かつ、第15の接続トランジスタ ( $TS_{11}'$ ) を介して前記第8の拡散層配線 ( $BL_1'$ ) の他端に接続され、前記第5の接続トランジスタ ( $TS_{11}'$ ) のゲート配線となる第1のビットライン選択線 ( $S_1'$ ) と、前記第6 ( $TS_{11}'$ ) 及び第10 ( $TS_{11}'$ ) の接続トランジスタのゲート配線となる第2のビットライン選択線 ( $S_1'$ ) と、前記第7 ( $TS_{11}'$ )、第8 ( $TS_{11}'$ )、第9 ( $TS_{11}'$ ) 及び第11 ( $TS_{11}'$ ) の接続トランジスタのゲート配線となる第3のビットライン選択線 ( $S_1'$ ) と、前記第1 ( $TS_{11}'$ ) 及び第12 ( $TS_{11}'$ ) の接続トランジスタのゲート配線となる第1のグランドライン選択線 ( $S_1'$ ) と、前記第3 ( $TS_{11}'$ ) 及び第13 ( $TS_{11}'$ ) の接続トランジスタのゲート配線となる第2のグランドライン選択線 ( $S_1'$ ) と、前記第2 ( $TS_{11}'$ )、第4 ( $TS_{11}'$ )、第14 ( $TS_{11}'$ ) 及び第15 ( $TS_{11}'$ ) の接続トランジスタのゲート配線となる第3のグランドライン選択線 ( $S_1'$ ) とを具備してなる半導体記憶装置である。

【0013】また、本発明の半導体記憶装置は、一導電型半導体基板上に、互いに平行に配置された第1から第9の9本の拡散層配線 ( $BL_1''$ 、 $BL_2''$ 、 $\dots$ 、 $BL_9''$ ) が順に配置された拡散層配線群と、前記拡散層配線群上に直交して配置された複数本のゲート配線 ( $W_1''$ 、 $W_2''$ 、 $\dots$ 、 $W_{11}''$ ) と、隣り合う前記拡散層配線をソース・ドレインとし、さらに、隣り合う前記拡散層配線間で、かつ、前記ゲート配線直下をチャネルとするメモリセルが前記拡散層配線方向に配置されてなるメモリセル列と、前記拡散層配線群上に配列された8列の前記メモリセル列を単位としてなるメモリセル列群があつて、前記第1の拡散層配線 ( $BL_1''$ ) の一端は第1の接続トランジスタ ( $TS_{11}''$ ) を介して第1の仮想メタルグランド線 ( $M_1''$ ) と接続され、かつ、第2の接続トランジスタ ( $TS_{11}''$ ) を介して前記第2の拡散層配線 ( $BL_2''$ ) の一端に接続され、前記第3の拡散層配線 ( $BL_3''$ ) の一端は第3の接続トランジスタ ( $TS_{11}''$ ) を介してメタルビット線 ( $M_1''$ ) に接続され、かつ、第4の接続トランジスタ ( $TS_{11}''$ ) を介して前記第2の拡散層配線 ( $BL_2''$ ) の他端に接続され、かつ、第5の接続トランジスタ ( $TS_{11}''$ ) を介して

て前記第4の拡散層配線 ( $BL_4''$ ) の一端に接続され、前記第5の拡散層配線 ( $BL_5''$ ) の一端は第6の接続トランジスタ ( $TS_{11}''$ ) を介して前記第1の仮想メタルグランド線 ( $M_1''$ ) に接続され、かつ、第7の接続トランジスタ ( $TS_{11}''$ ) を介して前記第4の拡散層配線 ( $BL_4''$ ) の他端に接続され、かつ、第8の接続トランジスタ ( $TS_{11}''$ ) を介して前記第6の拡散層配線 ( $BL_6''$ ) に接続され、前記第7の拡散層配線 ( $BL_7''$ ) の一端は、第9の接続トランジスタ ( $TS_{11}''$ ) を介して前記メタルビット線 ( $M_1''$ ) に接続され、かつ、第10の接続トランジスタ ( $TS_{11}''$ ) を介して前記第6の拡散層配線 ( $BL_6''$ ) の他端に接続され、かつ、第11の接続トランジスタ ( $TS_{11}''$ ) を介して前記第8の拡散層配線 ( $BL_8''$ ) の一端に接続され、前記第9の拡散層配線 ( $BL_9''$ ) の一端は第12の接続トランジスタ ( $TS_{11}''$ ) を介して第2の仮想メタルグランド線 ( $M_1''$ ) に接続され、かつ、第13の接続トランジスタ ( $TS_{11}''$ ) を介して前記第8の拡散層配線 ( $BL_8''$ ) の他端に接続され、前記第9の接続トランジスタ ( $TS_{11}''$ ) のゲート配線となる第1のビットライン選択線 ( $S_1''$ ) と、前記第3の接続トランジスタ ( $TS_{11}''$ ) のゲート配線となる第2のビットライン選択線 ( $S_1''$ ) と、前記第4 ( $TS_{11}''$ )、第5 ( $TS_{11}''$ )、第10 ( $TS_{11}''$ ) 及び第11 ( $TS_{11}''$ ) の接続トランジスタのゲート配線となる第3のビットライン選択線 ( $S_1''$ ) と、前記第1 ( $TS_{11}''$ ) 及び第12 ( $TS_{11}''$ ) の接続トランジスタのゲート配線となる第1のグランドライン選択線 ( $S_1''$ ) と、前記第6の接続トランジスタ ( $TS_{11}''$ ) のゲート配線となる第2のグランドライン選択線 ( $S_1''$ ) と、前記第2 ( $TS_{11}''$ )、第7 ( $TS_{11}''$ )、第8 ( $TS_{11}''$ ) 及び第13 ( $TS_{11}''$ ) の接続トランジスタのゲート配線となる第3のグランドライン選択線 ( $S_1''$ ) とを具備する半導体記憶装置である。

#### 【0014】

【発明の実施の形態】次に本発明について図面を参照して説明する。図1は本発明の一実施例である。シリコン基板上に互いに平行に複数の拡散層配線  $BL_1 \dots BL_9$  が形成され、これらの拡散層配線の上にゲート絶縁膜を介してゲート配線が配置される。ゲート配線はワード線  $W_i$  ( $i=1, 2, \dots, 16$ )、ビットライン選択線  $S_1, S_2, S_3$ 、またグランドライン選択線  $S_4, S_5, S_6$  で構成される。ビットライン選択線  $S_1$  は接続トランジスタ  $TS_{11}, TS_{12}$ 、ビットライン選択線  $S_2$  は接続トランジスタ  $TS_{11}$ 、またビットライン選択線  $S_3$  は接続トランジスタ  $TS_{11}, TS_{12}, TS_{13}, TS_{14}$  のゲート配線である。

【0015】拡散層配線  $BL_1 \dots BL_9$  はそれぞれの一端で、ビットライン選択線  $S_1, S_2, S_3$  がゲート配



線となる接続トランジスタによりメタルビット線 $M_1$ と断続される。拡散層配線 $BL_1$ は、接続トランジスタ $TS_{11}$ 、 $TS_{12}$ によりメタルビット線 $M_1$ と断続される。同様に、拡散層配線 $BL_2$ は、接続トランジスタ $TS_{11}$ で、拡散層配線 $BL_1$ は、接続トランジスタ $TS_{11}$ 、 $TS_{12}$ で、拡散層配線 $BL_3$ は、接続トランジスタ $TS_{11}$ 、 $TS_{12}$ で、拡散層配線 $BL_4$ は、接続トランジスタ $TS_{11}$ 、 $TS_{12}$ で、さらに拡散層配線 $BL_5$ は、接続トランジスタ $TS_{11}$ 、 $TS_{12}$ でそれぞれメタルビット線 $M_1$ と断続される。

【0016】また拡散層配線 $BL_1 \cdots BL_5$ はそれぞれ他端で、グラントライン選択線 $S_1$ 、 $S_2$ 、 $S_3$ がゲート配線となる接続トランジスタにより仮想メタルグラント線 $M_1$ 及び $M_2$ と断続される。グラントライン選択線 $S_1$ は接続トランジスタ $TS_{11}$ 、 $TS_{12}$ 、 $TS_{13}$ 、 $TS_{14}$ 、グラントライン選択線 $S_2$ は接続トランジスタ $TS_{11}$ 、 $TS_{12}$ 、グラントライン選択線 $S_3$ は接続トランジスタ $TS_{11}$ 、 $TS_{12}$ のゲート配線になる。

【0017】メモリセル $MC_1$ 、 $MC_2 \cdots$ は、互いに隣り合う拡散層配線をリース・ドレインとし、ゲート配線( $W_1$ 、 $W_2$ 、 $\cdots W_{11}$ )下で拡散層配線間の領域がチャネルとなるプレーナ構造のMOSトランジスタである。以下、メモリセルの読み出しについては、便宜上、 $MC_1$ 、 $MC_2$ 、 $\cdots MC_{11}$ についてのみ説明するが、ゲート配線 $W_1$ については、その他多数のメモリセルが接続されていて同様の読み出しが可能である。またゲート配線 $W_1$ 、 $\cdots W_{11}$ (用途に応じてワード線の本数は任意である)にも、多数のメモリセルが接続されているのは言うまでもない。

【0018】次に読み出し動作について説明する。まずメモリセル $MC_1$ に書き込まれた情報を読み出す場合、ビットライン選択線 $S_1$ 及び $S_2$ の電位をハイレベルに、 $S_3$ をロウレベルにすることで、接続トランジスタ $TS_{11}$ 、 $TS_{12}$ を介して、拡散層配線 $BL_1$ はメタルビット線 $M_1$ と電氣的に接続される。

【0019】また、グラントライン選択線 $S_1$ 、 $S_2$ をロウレベル、 $S_3$ をハイレベルにすることで接続トランジスタ $TS_{11}$ を介して拡散層配線 $BL_1$ は仮想メタルグラント線 $M_1$ と電氣的に接続される。さらに、メモリセル $MC_1$ のゲート配線であるワード線 $W_1$ はハイレベル、その他のワード線 $W_2 \cdots W_{11}$ はロウレベルに設定される。

【0020】このときメモリセル $MC_1$ のデータが0であれば、低いしきい値に調整されているのでオン状態になり、データが1であれば高いしきい値に調整されていてオフ状態にある。

【0021】メモリセル $MC_1$ の読み出しに際し、メタルビット線 $M_1$ には高電位、仮想メタルグラント線 $M_1$ には接地電位が供給されているため、メモリセル $MC_1$

がデータ0であれば、メタルビット線 $M_1$ から仮想メタルグラント線 $M_1$ に電流が流れる。この電流をメタルビット線 $M_1$ に接続されたセンスアンプ(図中には記されていない)により検出し、データ0であることを判読する。

【0022】一方、メモリセル $MC_1$ がデータ1であれば、メタルビット線 $M_1$ から仮想メタルグラント線 $M_1$ へは電流が流れず、センスアンプはデータ1であることを判読する。しかし、ここで注意が必要なのはメモリセル $MC_1$ である。もし、メモリセル $MC_1$ がデータ0であれば、オン状態にあり、接続トランジスタ $TS_{11}$ 、 $TS_{12}$ を介して、メタルビット線 $M_1$ から電流が流れ出し、センスアンプは $MC_1$ がデータ1であるにもかかわらず、データ0と判読する可能性がある。この誤読み出しを防止するために、仮想メタルグラント線 $M_1$ には、メタルビット線 $M_1$ に等しいか極めて近い電位が供給されていて、メタルビット線 $M_1$ から仮想メタルグラント線 $M_1$ への電流の漏れを抑制している。

【0023】次にメモリセル $MC_1$ に書き込まれた情報を読み出す場合について示す。ビットライン選択線 $S_1$ をハイレベル、 $S_2$ 、 $S_3$ はロウレベルにすることで拡散層配線 $BL_1$ は、接続トランジスタ $TS_{11}$ を介してメタルビット線 $M_1$ に電氣的に接続される。また、グラントライン選択線 $S_1$ 、 $S_2$ をハイレベル、 $S_3$ をロウレベルにすることで、拡散層配線 $BL_1$ は接続トランジスタ $TS_{11}$ 、 $TS_{12}$ を介して仮想メタルグラント線 $M_1$ に電氣的に接続される。メモリセル $MC_1$ のゲート配線であるワード線 $W_1$ はハイレベルに維持され、メモリセル $MC_1$ のデータが0であればメタルビット線 $M_1$ から仮想グラント線 $M_1$ に電流が流れ、センスアンプはデータ0であることを判読する。また、メモリセル $MC_1$ のデータが1であれば、メタルビット線 $M_1$ から仮想メタルグラント線 $M_1$ へは電流が流れず、センスアンプはデータ1であることを判読する。ここでもメモリセル $MC_1$ からの漏れ電流を遮断し、誤読み出しを防止するために、仮想メタルグラント線 $M_1$ には、メタルビット線 $M_1$ に等しいか極めて近い電位が供給されている。

【0024】次に、メモリセル $MC_1$ に書き込まれた情報を読み出す場合について示す。ビットライン選択線 $S_1$ はロウレベル、 $S_2$ 、 $S_3$ はハイレベルに維持されることで、接続トランジスタ $TS_{11}$ 、 $TS_{12}$ を介して、拡散層配線 $BL_1$ は、メタルビット線 $M_1$ と電氣的に接続される。また、グラントライン選択線 $S_1$ 、 $S_2$ はロウレベル、 $S_3$ はハイレベルに維持されることで、接続トランジスタ $TS_{11}$ を介して、拡散層配線 $BL_1$ は仮想メタルグラント線 $M_1$ と電氣的に接続される。メモリセル $MC_1$ のゲート配線であるワード線 $W_1$ はハイレベルに維持され、メモリセル $MC_1$ のデータが0であればメタルビット線 $M_1$ から仮想メタルグラント線 $M_1$ に電流が流れ、センスアンプはデータ0であると判読する。ま



た、メモリセル $MC_i$ のデータが1であればメタルビット線 $M_i$ から仮想メタルグランド線 $M_1$ へは電流が流れず、センスアンプはデータ1と判読する。前述同様、ここでもメモリセル $MC_i$ からの漏れ電流を遮断するために、仮想メタルグランド線 $M_1$ には、メタルビット線 $M_i$ に等しいか極めて近い電位が供給されている。

【0025】最後にメモリセル $MC_i$ の読み出しについて説明する。ビットライン選択線 $S_1$ 、 $S_2$ はロウレベル、 $S_3$ はハイレベルに維持されることで接続トランジスタ $TS_{11}$ を介して、拡散層配線 $BL_i$ はメタルビット線 $M_i$ と電気的に接続される。またグランドライン選択線 $S_4$ 、 $S_5$ はハイレベル、 $S_6$ はロウレベルに維持することで、接続トランジスタ $TS_{41}$ 、 $TS_{42}$ を介して、拡散層配線 $BL_i$ は仮想メタルグランド線 $M_1$ と電気的に接続される。メモリセル $MC_i$ のゲート配線であるワード線 $W_i$ は、ハイレベルに維持され、 $MC_i$ のデータが0であればメタルビット線 $M_i$ から仮想グランド線 $M_1$ に電流が流れ、センスアンプはデータ0であると判読する。また、メモリセル $MC_i$ のデータが1であれば、メタルビット線 $M_i$ から仮想メタルグランド線 $M_1$ へは電流が流れずセンスアンプはデータ1と判読する。尚、 $MC_i$ からの漏れ電流を遮断するために仮想メタルグランド線 $M_1$ にはメタルビット線 $M_i$ に等しいか極めて近い電位が供給されている。

【0026】以上説明したように、メモリセル $MC_1$ 、 $MC_2$ 、 $MC_3$ 、 $MC_4$ の読み出しは、メタルビット線 $M_i$ から仮想メタルビット線 $M_1$ へ電流が流れるか否かでデータ0かデータ1の判定を行っている。

【0027】またメモリセル $MC_1$ 、 $MC_2$ 、 $MC_3$ 、 $MC_4$ の読み出しについては記載を省略したが、メタルビット線 $M_i$ には高電位、仮想メタルグランド線 $M_1$ には接地電位が供給され、また仮想メタルグランド線 $M_1$ には、メタルビット線 $M_i$ に等しいか極めて近い電位が供給されていることがメモリセル $MC_1$ 、 $MC_2$ 、 $MC_3$ 、 $MC_4$ の読み出しと基本的に異なる点であり、メタルビット線 $M_i$ から仮想メタルグランド線 $M_1$ へ電流が流れるか否かで、データ0かデータ1の判定を行っている。さらに、特に記載しなかったその他のメモリセルの読み出しは、 $MC_1$ 、 $MC_2$ 、... $MC_i$ のいずれかと基本的に同様であるので、省略した。

【0028】このように、本実施例(図1)に示すメモリセルのアレイ構成をすることで、拡散層配線4本毎に、メタルビット線あるいは仮想メタルグランド線を配置することが可能になる。このため従来例(図4)に比べ、メタル配線(メタルビット線あるいは仮想メタルグランド線)ピッチを2倍にすることができ、生産性が著しく向上する。

【0029】ところで、従来例に比べ本実施例を採用することで予想されるディメリットは、メモリセルを選択するのに要する選択線の増加とそれによるセルエリア面

積の増大、及びそれに伴う接続トランジスタの増加とメモリセル電流の低下である。

【0030】選択線は、従来例が4本(ビットライン選択線2本とバンク選択線1本、グランドライン選択線1本)であるのに対して、本実施例(図1)では6本(ビットライン選択線3本とグランドライン選択線3本)である。ワード線の本数は、現在商品化されているROMでは、一般に64本を単位とするのが主流であるので、本実施例を採用することによる面積増加率は約3%と極めて軽微である。

【0031】一方、本実施例は従来例に比べメタル配線ピッチを2倍にできることが、将来のメモリセルサイズの縮小化に極めて有効である。すなわち、従来例で示したメタル配線のレイアウトでは、拡散層配線が0.6~0.8 $\mu$ mピッチで設計されている今日、メタル配線には1.2~1.6 $\mu$ mピッチの配線加工技術が必要になる。メタル配線の微細加工は半導体製造の中でも困難な技術として位置づけられており、生産性を損う要因になっている。ましてや、将来のメモリセルサイズの縮小化をメタル配線の加工技術が制約することになるのは明白である。その点、本実施例に示したメモリセルのレイアウトを採用することにより、実質的にメモリセルサイズの縮小が容易に実現できる。本実施例で示すレイアウトは、将来のメモリセルの縮小化を容易にするだけでなく、選択トランジスタの増加を抑制する点にも効果がある。すなわち、本実施例(図1)では、読み出しの際、メモリセルに直列に接続される選択トランジスタは、3個であり、従来例(図4)と同等である。一般に、選択線(ビットライン選択線、グランドライン選択線)が増加するとメモリセルに直列に接続される選択トランジスタの数も増加するが、本実施例のレイアウトを採用することにより、選択トランジスタの増加は抑制できる。読み出しの際、選択されたメモリセルに直列に接続される選択トランジスタの増加は、メモリセル電流を減少させる。

【0032】このため、メモリセルに直列に接続される選択トランジスタの増加を抑制できる本実施例は、メモリセル電流を従来程度に維持できるため非常に効果的である。

【0033】図2は本発明の第2の実施例である。第1の実施例との差異は、第1の実施例のビットライン選択線 $S_1$ 、 $S_2$ と第2の実施例のビットライン選択線 $S_1'$ 、 $S_2'$ が実質的に入れ替わっている。同様に、第1の実施例のグランドライン選択線 $S_3$ 、 $S_4$ と第2の実施例のグランドライン選択線 $S_3'$ 、 $S_4'$ も実質的に入れ替わっている。本実施例も第1の実施例同様、拡散層配線( $BL_1'$ 、 $BL_2'$ ...)4本毎に、メタル配線(メタルビット線 $M_1'$ あるいは仮想メタルグランド線 $M_1'$ 、 $M_2'$ )が1本づつ配置されるレイアウトである。従って従来例(図4)に比べ、メタル配線ピッ

チを実質的に大きくできるため第1の実施例同様の効果が期待できる。

【0034】次に読み出し方法について説明する。メモリセル $MC_1'$ の情報を読み出す場合、ビットライン選択線 $S_1'$ 、 $S_1'$ 、 $S_1'$ をハイレベルにすることで、接続トランジスタ $TS_{11}'$ 、 $TS_{11}'$ 、 $TS_{11}'$ を介して拡散層配線 $BL_1'$ はメタルビット線 $M_1'$ に電氣的に接続される。また、グラントライン選択線 $S_1'$ をハイレベル、 $S_1'$ 、 $S_1'$ をロウレベルにすることで接続トランジスタ $TS_{11}'$ を介して、拡散層配線 $BL_1'$ は仮想メタルグラント線 $M_1'$ と電氣的に接続される。

【0035】さらに、メモリセル $MC_1'$ のゲート配線であるワード線 $W_1'$ はハイレベル、その他のワード線 $W_1' \dots W_{11}'$ はロウレベルに設定される。このときメモリセル $MC_1'$ のデータが0であれば、低いじきい値に調整されているのでオン状態、データが1であれば高いじきい値に調整されていてオフ状態にある。

【0036】また、メタルビット線 $M_1'$ には高電位、仮想メタルグラント線 $M_1'$ には接地電位が供給されているため、メモリセル $MC_1'$ のデータが0であれば、メタルビット線 $M_1'$ から仮想メタルグラント線 $M_1'$ に電流が流れる。この電流は、メタルビット線 $M_1'$ に接続されたセンスアンプ（図中には記載されていない）により検出され、データ0であると判読する。

【0037】一方、メモリセル $MC_1'$ がデータ1であれば、メタルビット線 $M_1'$ から仮想メタルグラント線 $M_1'$ へは電流が流れず、センスアンプはデータ1であると判読する。このとき仮想メタルグラント線 $M_1'$ は、メモリセル $MC_1'$ のデータが0である場合のメタルビット線 $M_1'$ からの漏れ電流を防止するために、メタルビット線 $M_1'$ に等しいか、極めて近い電位が供給されている。メモリセル $MC_1'$ 以外のメモリセルの読み出しについても概ね同様にして可能である。

【0038】ところで、本実施例は、読み出しの際、選択されたメモリセルに直列に接続される接続トランジスタは4個であり、第1の実施例に比べ実質的に1個増加する。しかしながら、どのメモリセルの読み出しに際しても共通に接続される接続トランジスタ $TS_{11}'$ 及び $TS_{11}'$ は、それぞれが配置されている空間に余裕があるため、チャネル幅の大きなトランジスタとして設計できるため、メモリセルの読み出し電流の減少を第1の実施例と実質的に同程度まで軽減できる。

【0039】図3は、本発明の第3の実施例である。第1の実施例及び第2の実施例と第3の実施例との差異は、ビットライン選択線及びグラントライン選択線の構成にあるが、拡散層配線（ $BL_1''$ 、 $BL_1'' \dots$ ）4本毎にメタル配線（メタルビット線 $M_1''$ あるいは仮想メタルグラント線 $M_1''$ 、 $M_1''$ ）が1本ずつ配置される点は同じである。従って、従来例（図4）に比べ、メ

タル配線ピッチを実質的に大きくできるため、第1、第2の実施例同様の効果が得られる。また、本実施例は、読み出しの際、メモリセルに直列に接続される選択トランジスタは、3個であり、従来例（図4）及び第1の実施例（図1）と同等で、メモリセルに流れる電流の減少を最小限にできる効果もある。

【0040】次に読み出しについて説明する。メモリセル $MC_1''$ の情報を読み出す場合、ビットライン選択線 $S_1''$ をロウレベル、 $S_1''$ 、 $S_1''$ をハイレベルにすることで、接続トランジスタ $TS_{11}''$ 、 $TS_{11}''$ を介して、拡散層配線 $BL_1''$ はメタルビット線 $M_1''$ と電氣的に接続される。

【0041】また、グラント選択線 $S_1''$ 、 $S_1''$ はロウレベル、 $S_1''$ はハイレベルに維持されることで、接続トランジスタ $TS_{11}''$ を介して、拡散層配線 $BL_1''$ は仮想メタルグラント線 $M_1''$ と電氣的に接続される。さらに、メモリセル $MC_1''$ のゲート配線であるワード線 $W_1''$ はハイレベル、その他のワード線 $W_1'' \dots W_{11}''$ はロウレベルに設定される。

【0042】メタルビット線 $M_1''$ には高電位、仮想メタルグラント線 $M_1''$ には接地電位が供給されているため、メモリセル $MC_1''$ がデータ0であれば、メタルビット線 $M_1''$ から仮想メタルグラント線 $M_1''$ に電流が流れる。この電流をメタルビット線 $M_1''$ に接続されたセンスアンプ（図中には記載していない）により検出し、データ0であることを判読する。

【0043】一方、メモリセル $MC_1''$ がデータ1であれば、メタルビット線 $M_1''$ から仮想メタルグラント線 $M_1''$ へは電流が流れず、センスアンプは1であると判読する。

【0044】ここでもメモリセル $MC_1''$ を介した漏れ電流を防止する手段を備えておく必要がある。すなわち、メモリセル $MC_1''$ 、 $MC_2''$ 、 $MC_3''$ 、 $MC_4''$ 、 $MC_5''$ のデータが0であった場合、ワード線 $W_1''$ がハイレベルのために、これらメモリセルはすべてオン状態にある。

【0045】また、拡散層配線 $BL_1''$ は接続トランジスタ $TS_{11}''$ 、 $TS_{11}''$ を介してメタルビット線 $M_1''$ に接続され、拡散層配線 $BL_1''$ は、接続トランジスタ $TS_{11}''$ を介して仮想メタルグラント線 $M_1''$ に接続される。

【0046】従って、仮想メタルグラント線 $M_1''$ は、メタルビット線 $M_1''$ と等しいか、極めて近い電位が供給されることにより、漏れ電流を防止している。

【0047】その他のメモリセルも同様に読み出すことが可能であり詳細な説明は省略する。

【0048】

【発明の効果】以上説明したように本発明は、拡散層配線4本毎に、メタル配線1本を配置するレイアウトを可能にするので、生産性の向上になるだけでなく将来のメ

メモリセルの縮小化にも、極めて効果的である。

【0049】また、本発明は、ビットライン選択線やグラウンドライン選択線の本数が従来方法に比べ増加するものの、その増分によるダイサイズの増大は、従来に比べ、約3%以下に抑制でき、さらに読み出しの際、メモリセルに直列に接続される接続トランジスタの個数が増加しないため、メモリセルに流れる電流の減少を生じさせない効果もある。

【0050】尚、本発明では、ROMについて記載し、特に製造工程中に情報を書き込むマスクROMについて詳細を示したが、電氣的に書き込み可能なUVPROMやFlashメモリ等への適用も可能であることは言うまでもない。

【図面の簡単な説明】

【図1】本発明の第1の実施例で、メモリセルアレイの

回路図。

【図2】本発明の第2の実施例で、メモリセルアレイの回路図。

【図3】本発明の第3の実施例で、メモリセルアレイの回路図。

【図4】従来例でメモリセルアレイの回路図。

【符号の説明】

$M_1, M_2$  仮想メタルグラウンド線

$M_3$  メタルビット線

10  $S_1, S_2, S_3$  ビットライン選択線

$S_4, S_5, S_6$  グラウンドライン選択線

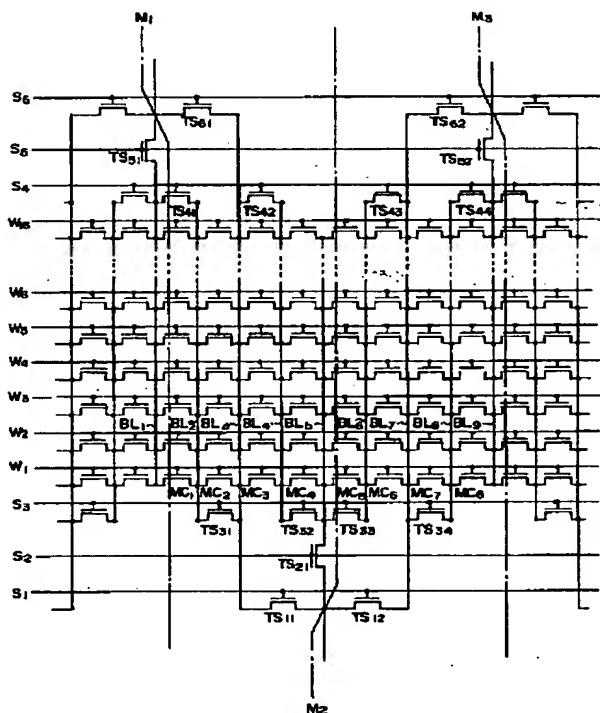
$W_1 \sim W_{10}$  ワード線

$BL_1 \sim BL_9$  拡散層配線

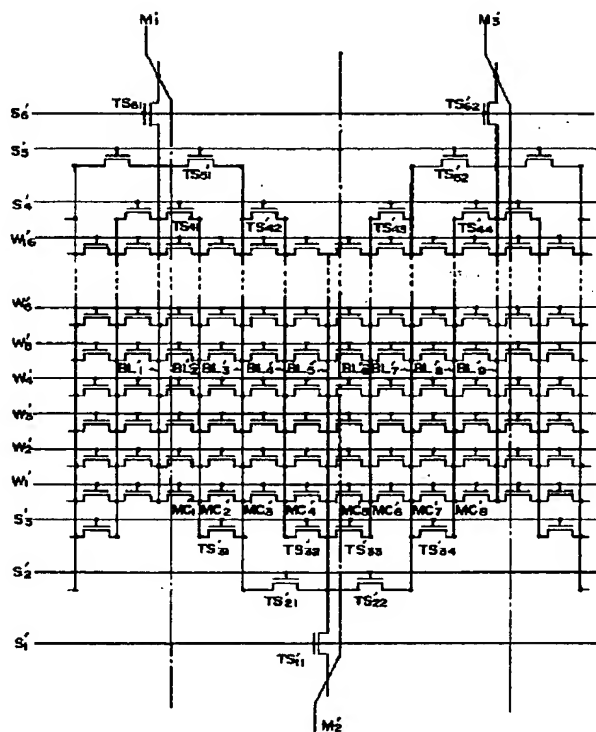
$MC_1 \sim MC_8$  メモリセル

15  $TS_{11} \sim TS_{12}$  接続トランジスタ

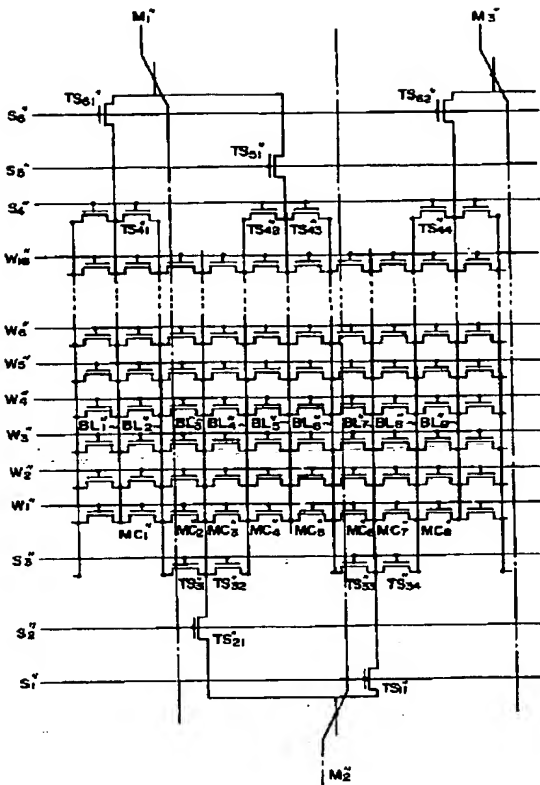
【図1】



【図2】



【図3】



【図4】

